



JP7093215 Biblio Page 1 Drawing



W1446

SEMICONDUCTOR MEMORY

Patent Number: JP7093215
Publication date: 1995-04-07
Inventor(s): KAWAMOTO NOBUO; others: 01
Applicant(s): TOSHIBA CORP; others: 01
Requested Patent: ☐ JP7093215
Application Number: JP19930233649 19930920
Priority Number(s):
IPC Classification: G06F12/08
EC Classification:
Equivalents:

Abstract

PURPOSE: To provide the semiconductor memory which eliminates unmatching between data held in a cache memory and data held in a main memory and can consist of a main storage device at high operating speed in a computer system using the cache memory.
CONSTITUTION: Concerning the semiconductor memory for which a write buffer 7 to be operated at high speed for temporarily storing a write address and write data applied from the outside and a large storage capacity DRAM with comparatively low-speed operations are integrated on the same substrate and when the semiconductor memory is not accessed from the outside, the write buffer 7 can transfer the stored write address and write data to the DRAM and can update the transferred write address and write data after the transfer. Therefore, since write to a main memory 4a can be performed at high speed, even in the case of a write through system, system speed is not decelerated.

Data supplied from the esp@cenet database - l2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-93215

(43) 公開日 平成7年(1995)4月7日

(51) Int.Cl.⁶

G 0 6 F 12/08

識別記号

庁内整理番号

F I

技術表示箇所

C 7608-5B

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平5-233649

(22) 出願日 平成5年(1993)9月20日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72) 発明者 川 本 信 夫

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

(72) 発明者 渡 辺 信 夫

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

(74) 代理人 弁理士 佐藤 一雄 (外3名)

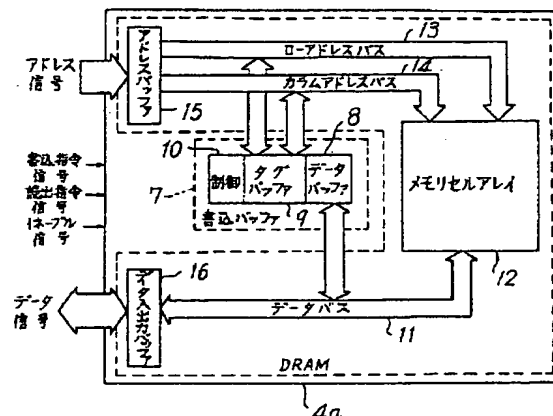
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 キャッシュメモリを用いたコンピュータシステムにおいて、キャッシュメモリが保持するデータとメインメモリが保持するデータとの不一致が無く、しかも、動作速度の速い主記憶装置を構成することの出来る半導体記憶装置を提供する。

【構成】 外部から与えられる書込アドレス及び書込データを一時記憶する高速動作の書込バッファと、比較的に低速動作かつ大記憶容量のDRAMと、が同一基板上に集積される半導体記憶装置において、上記書込バッファは、半導体記憶装置が外部からアクセスされないときに、記憶している上記書込アドレス及び書込データを上記DRAMに転送し、転送後に転送済みの書込アドレス及び書込データを更新可能とする。

【効果】 メインメモリへの書込みが高速で行えるようになると、ライトスルー方式においてもシステムスピードは遅くならない。



【特許請求の範囲】

【請求項1】 外部から与えられる書込アドレス及び書込データを一時記憶する高速動作の書込バッファと、比較的低速動作かつ大記憶容量のDRAMと、が同一基板上に集積される半導体記憶装置であって、前記書込バッファは、半導体記憶装置が外部からアクセスされないときに、記憶している前記書込アドレス及び書込データを前記DRAMに転送し、転送後に転送済みの書込アドレス及び書込データを更新可能とする、ことを特徴とする半導体記憶装置。

【請求項2】 前記書込バッファは、外部からの読出指令に応答して該当する書込アドレス及び書込データを探索し、探索された書込アドレス及び書込データを半導体記憶装置の外部に出力すると共に前記DRAMにも転送し、転送後に転送済みの書込アドレス及び書込データを更新可能とする、

ことを特徴とする請求項1記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体記憶装置に関するもので、特に、コンピュータシステムの主記憶装置（メインメモリ）に使用して好都合な半導体記憶装置に関する。

【0002】

【従来の技術】 コンピュータシステムにはメインメモリが不可欠である。メインメモリは、通常、ビット当たり単位が安く、大容量であるDRAM（ダイナミックRAM）で構成される。このDRAMの動作速度はCPUの動作速度と比べてかなり遅いので、CPUの待ち時間を増やし、CPUの動作効率を低下させる。これを回避するため、記憶容量は少ないが高速で動作するキャッシュメモリ（バッファ）をCPUとメインメモリ間に介在させる。このキャッシュメモリを持つコンピュータシステムでは、キャッシュメモリにCPUが頻繁にアクセスするデータ部分をメインメモリから予め写しとっておき、CPUはメインメモリへアクセスする代わりに高速なキャッシュメモリへアクセスを行う。

【0003】 図3は、このようなキャッシュメモリを備えるコンピュータシステムのCPU及びメモリの接続関係を示している。同図において、CPU1からメモリへのアクセスが発生すると、まず、CPU1からアドレスバス5にアドレス信号が送出される。送出されたアドレス信号をキャッシュメモリ2が取り込み、キャッシュメモリ2に既に記憶されているデータへのアクセスであるかの判定を行う。キャッシュメモリ2に記憶されているデータであるとき、キャッシュメモリ2はアドレスバス5及びデータバス6のゲート3を開じて、CPU1及びメインメモリ4相互間のデータの送受を阻止する。これにより、CPU1はキャッシュメモリ2とアクセスを行う。キャッシュメモリ2に記憶されていないデータであ

るとき、ゲート3はキャッシュメモリ2によって開けられ、CPU1はメインメモリ4とのアクセスを行う。このキャッシュメモリ2の制御方法としては、大別して、以下に示すライトスルーとライトバックの二通りがある。

【0004】 ライトスルー方式では、メモリリードサイクルにおいてキャッシュメモリ2がヒットしたとき、すなわち、メインメモリ4と等しいデータをキャッシュメモリ2が保持しており、そのデータに対して読み出しが行われる場合には、CPU1はキャッシュメモリ2からデータを読み出す。また、メモリリードサイクルにおいてキャッシュメモリ2がミスしたとき、すなわち、読み出すデータがキャッシュメモリにない場合には、メインメモリ4からデータを読み出すと共にキャッシュメモリ2にそのデータを書込む。この方式のメモリライトサイクルでは、キャッシュメモリ2がヒットしたとき、すなわち、書換えるメインメモリの番地のデータをキャッシュメモリ2が持っている場合には、CPU1はキャッシュメモリ2及びメインメモリ4の両方にデータの書込みを行う。キャッシュメモリ2がミスしたとき、すなわち、書換えるメインメモリの番地のデータをキャッシュメモリ2が持っていない場合には、メインメモリ4への書込みを行う。

【0005】 一方、ライトバック方式では、メモリリードサイクルにおいてキャッシュメモリ2がヒットしたときには、ライトスルー方式と同様に、CPU1はキャッシュメモリ2からデータを読み出す。ミスしたときには、キャッシュメモリ2に記憶しているデータのうちに、アクセス頻度の低いデータを選び出す。選択されたデータがライトサイクルのヒットで書換えられているデータであった場合には、選択されたデータをメインメモリ4へ書込んだ後、消去してキャッシュメモリ2の記憶場所を空ける。また、ライトサイクルで書換えられていないデータであればそのまま消去してキャッシュメモリ2の記憶場所を空ける。そして、メインメモリ4からデータをCPU1に読み出すと共に、読み出したデータをキャッシュメモリ2の空けられた所へ書込む。

【0006】 この方式のメモリライトサイクルでは、キャッシュメモリ2がヒットしたとき、CPU1はキャッシュメモリ2にのみデータの書込みを行い、メインメモリ4には書込まない。キャッシュメモリ2がミスのときは、キャッシュメモリ2に記憶しているデータのうちに、アクセス頻度の低いデータを選び出す。選択されたデータがライトサイクルのヒットで書換えられているデータであった場合には、そのデータをメインメモリ4へ書込んだ後、消去してキャッシュメモリ2の記憶場所を空ける。また、ライトサイクルで書換えられていないデータであればそのまま消去してキャッシュメモリ2の記憶場所を空ける。そして、CPU1からの書込みのデータをキャッシュメモリ2の空けられた所へ書込む。

【0007】

【発明が解決しようとする課題】このようなキャッシュメモリを持つコンピュータシステムでは、リードサイクルの場合には、キャッシュメモリから高速にメインメモリの複写データを読み出すことができる。しかし、ライトサイクルでは必ず低速のメインメモリへの書き込みが必要となり、以下のような問題が発生する。

【0008】ライトバック方式では、リード及びライトサイクル共に、ヒットした場合には全てキャッシュメモリとのアクセスで済むため、ヒットが続く限りシステムの高-speed動作が可能となる。しかし、ライトサイクルのヒットではキャッシュメモリしか書換えないため、メインメモリのデータとキャッシュメモリの保持データの内容が異なってしまう。この場合、マスタユニット(CPU、DMA等のメモリを直接アクセスするユニット)が一つのシステムでは問題ないが、マルチマスタのシステムでは複数のマスタユニットが夫々に共用のメインメモリを直接アクセスするため、メインメモリとキャッシュメモリのデータの同一性が問題となる。

【0009】ライトスルー方式では、メモリライトサイクルでヒットした場合にキャッシュメモリとメインメモリの両方に書き込みを行うため、常にキャッシュメモリはメインメモリの一部の写しとなっている。このため、ライトバック方式のような、キャッシュメモリとメインメモリのデータの同一性の問題は発生しない。

【0010】しかし、ライトサイクルでは必ずキャッシュメモリに加えてメインメモリの書き込みを行うことから、ライトサイクルが二回以上連続したときには、メインメモリの書き込みに合わせてシステムの動作速度を遅くしなければならない。

【0011】このようにライトバック方式は、書き込速度の遅いメインメモリへの書き込回数を減らすことによりスピードの低下を防ぐことが出来るが、キャッシュメモリとメインメモリの内容の同一性が保たれない。そのため複数のマスタで構成されるシステムには使用し難い。また、ライトスルー方式は、キャッシュメモリとメインメモリのデータの内容の同一性を保つことが出来るが、メインメモリの書き込み回数が増し、システムの動作速度が遅くなるという不具合がある。

【0012】よって、本発明は、キャッシュメモリを用いたコンピュータシステムにおいて、キャッシュメモリが保持するデータとメインメモリが保持するデータとの不一致が無く、しかも、動作速度の速い主記憶装置を構成することの出来る半導体記憶装置を提供することを目的とする。

【0013】

【課題を解決するための手段】上記目的を達成するため本発明の半導体記憶装置は、外部から与えられる書き込アドレス及び書き込データを一時記憶する高速動作の書き込バッファと、比較的到低速動作かつ大記憶容量のDRAM

と、が同一基板上に集積される半導体記憶装置において、上記書き込バッファは、半導体記憶装置が外部からアクセスされないときに、記憶している上記書き込アドレス及び書き込データを上記DRAMに転送し、転送後に転送済みの書き込アドレス及び書き込データを更新可能とする、ことを特徴とする。

【0014】

【作用】半導体記憶装置は、コンピュータの主記憶装置(メインメモリ)として使われているDRAMに高速動作の可能な書き込バッファを組み込んだ構成となっている。メモリへのデータ書き込みでは、書き込バッファへの高速書き込みを行う。書き込バッファからセルアレイへのデータ転送は、メインメモリがスタンバイ状態のときに行う。キャッシュメモリを持つシステムでは、一般に90%以上のメモリアクセスがキャッシュメモリに対して行われ、その間、メインメモリはスタンバイ状態となっている。

【0015】メインメモリへの書き込みが高速で行えるようになると、ライトスルー方式においてもシステムスピードは遅くならない。

【0016】

【実施例】以下、本発明の半導体記憶装置の実施例について図1を参照して説明する。同図に示されるコンピュータシステムにおいて、図3と対応する部分には同一符号を付し、かかる部分の説明は省略する。本発明の半導体記憶装置は、従来と同様のキャッシュメモリを有するコンピュータシステムの構成に、書き込バッファを備えるメインメモリ4aとして提供される。メインメモリ4aは、同一半導体基板上に形成された大容量のDRAMと、高速動作の書き込バッファとを備える。

【0017】図2は、メインメモリ4aの構成を示しており、DRAMは、データバス11、メモリセルアレイ12、ローアドレスバス13、カラムアドレスバス14、アドレスバッファ15及びデータ入出力バッファ16等によって構成される。書き込バッファ7は、DRAMに書き込むべきデータを一時記憶する高速動作のデータバッファ8と、そのデータに対するアドレスを記憶する高速動作のタグバッファ9及び書き込バッファの制御回路10等によって構成される。DRAMのデータバス11には、メモリセルアレイ12と並列に書き込バッファ7のデータバッファ8が接続される。ローアドレスバス13及びカラムアドレスバス14には、メモリセルアレイ12内の図示しないデコーダと並列に、書き込バッファ7のタグバッファ9が接続される。制御回路10は、書き込バッファへの書き込読出回路及びアドレスの比較回路等で構成される。

【0018】次に、メインメモリ4aの動作について説明する。メインメモリ4aは、半導体記憶装置4は、DRAMとしての書き込動作モード及び読出動作モードに加え、CPU1或いはキャッシュメモリ2から転送される

5

番込データを一旦番込バッファ7に高速で番込んだ後、番込バッファ7からメモリセルアレイ12へ番込データを移動する転送動作モードを備える。

【0019】まず、メインメモリ4aへの番込動作モードでは、CPU1から（或いはキャッシュメモリ2から）メインメモリ4aに番込むべきデータが転送されて来る。CPU1からメモリ4に番込指令が与えられ、CPU1から出力されるアドレス信号及びデータ信号が夫々アドレスバッファ15及びデータ入出力バッファ16に取り込まれる。次に、番込バッファ7の制御回路10でアドレスバッファ15に保持される番込アドレスと、タグバッファ9に記憶しているタグデータとの比較が行われる。一致するタグデータを保持しているとき、すなわち、ヒットした場合には、そのタグデータと対になるデータバッファ8の記憶位置にデータ入出力バッファ16に保持されているデータの番込みを行う。一致するタグデータがないとき、すなわち、ミスの場合には、番込バッファ7のバッファ領域に空きがあると、データバッファ8及びタグバッファ9に夫々番込むべきデータ及びアドレスが番込まれる。このとき、メモリセルアレイ12は、制御回路10によってスタンバイ状態のままになされる。番込バッファ7のバッファ領域に、番込むべきデータを一時保持する空きがない場合には、通常のメモリセルアレイ12への番込みとなり、メモリセルアレイ12は、アドレスバッファ15により与えられるアドレスに、データ入出力バッファ16に保持されているデータを番込む。メモリセルアレイ12等からなるDRAMの動作は知られているのでここで詳述しない。

【0020】CPU1からメインメモリ4aに転送されて番込バッファ7に一旦記憶されたデータは、メインメモリがアクセスされない期間に、番込バッファ7からDRAMに転送されて記憶される。キャッシュメモリを持つコンピュータシステムでは、一般的に、キャッシュメモリへのヒット率（全てのメモリアクセス回数に対するキャッシュメモリからのアクセスの割合）が90%以上となっている。また、ライトスルー方式での番込時間を含めた外部バスの使用率は50%以下である。このため、キャッシュメモリを持つコンピュータシステムでは、メインメモリ4aはシステムの動作中においても50%以上スタンバイ状態となっており、その間使用されていない。このスタンバイ状態の空時間を活用して、CPU1から高速で転送されたデータ群を、番込バッファ7からDRAMに転送する。これにより、見かけ上DRAMの番込動作が高速化される。

【0021】メインメモリ4aへの番込動作モードに続く、番込バッファ7からメモリセルアレイ12への転送モードでは、メインメモリ4aへの番込指令或いは読出指令の存在を監視している制御回路は、いずれの指令も存在していないと、番込バッファ7に読出動作を行わせ、メモリセルアレイ12に番込動作を行わせる。番込

6

バッファ7のタグバッファ9からアドレスデータがアドレスバス13及び14に出力され、メモリセルアレイ12に入力されるデータの番込アドレスを指定する。データバッファ8から該アドレスデータに対応するデータがデータバス11に読み出され、メモリセルアレイ12に番込まれる。その後、番込バッファ7から転送したデータを消去し、バッファを空ける。この転送モードの実行中にCPU1からアクセスがあると、転送モードを一時中断する。データの番込指令であるときは、番込動作モードを優先し、供給される番込データを受入れる。データの読出指令であるときは、後述の読出動作モードの実行を優先する。

【0022】番込バッファに格納されている複数のデータの中からセルアレイへ転送するデータを選択する方法は、この記憶装置の設計者の任意である。例えば、FIFO(First-In First-Out)の巡回バッファとしても良い。また、DRAMに転送済みの番込バッファ内のデータを積極的に消去する代わりにフラグを使用し、データ更新の可否を判別することができる。例えば、CPU1から番込バッファ7にデータを取込んだときに番込フラグを、データ毎に或いはデータブロック毎にセットし、メモリセルアレイ12への転送終了と共に該フラグをリセットすることによってメモリセルアレイ12への転送の対象となる残りデータの判別、データ更新の可否等の判別をすることもできる。

【0023】メインメモリ4aからの読出動作モードでは、制御回路10によってタグバッファ9に記憶しているタグデータとCPU1から与えられた読み出しアドレスとの比較が行われる。番込バッファ7内に一致するタグデータと対になるデータバッファ8の記憶位置からデータを読み出す。この読み出されたデータは、未だメモリセルアレイ12に記憶されていない。読み出したデータはデータバス11及び入出力バッファ16を介して外部バス6へ出力される。この動作と同時に、メモリセルアレイ12が番込動作に入り、データバス11に出力された番込バッファ7のデータを内部に取り込み、アドレスバス13及び14に出力されているアドレスに記憶する。この後、読み出された番込バッファ7内のデータが消去され、或いは番込フラグがリセットされて、バッファが空けられる。もし、番込バッファ7内に一致するタグデータがない（ミス）場合には、通常のメモリセルアレイ12からのDRAM動作によるデータ読み出しを行う。こうして、大容量で比較的到低速のDRAM及び小容量で比較的に高速の番込バッファを備える半導体記憶装置がキャッシュメモリを備えるコンピュータシステムのメインメモリとして使用される。

【0024】本半導体記憶装置を使用したメインメモリにおいては、番込バッファのサイズだけの連続高速番込みが可能となる。ライトスルー方式でライトサイクルが

【発明の効果】以上説明したように本発明の半導体記憶装置は、DRAMの他に高速動作の書込バッファメモリを備えるので、これを、例えば、キャッシュメモリを用いたコンピュータシステムに用いると、キャッシュメモリがアクセスされている間に書込バッファメモリに書込まれた内容をDRAMにコピーするので、キャッシュメ

Figure 1 is a block diagram of a computer system. It includes a CPU (1), a cache memory (2), a main memory (4a), and a display (6). The CPU (1) is connected to the cache memory (2) via a bus (3). The bus (3) is also connected to the main memory (4a) via a bus (5). The main memory (4a) is connected to the display (6) via a bus (5).

- 1 CPU
- 2 キャッシュメモリ
- 3 ゲート
- 4 主記憶装置（メインメモリ）
- 5 アドレスバス
- 6 データバス
- 7 書込バッファ
- 8 データバッファ
- 9 タグバッファ
- 10 書込バッファ制御回路
- 11 メモリ内データバス
- 12 セルアレイ
- 13 メモリ内ローアドレスバス
- 14 メモリ内カラムアドレスバス
- 15 アドレスバッファ
- 16 データ入出力バッファ
- 17 アドレス入力

Fig. 4a is a block diagram of a memory system, specifically a DRAM. The diagram shows the internal components and their connections:

- Address Bus (13):** A horizontal bus at the top, connected to the **Address Decoder (15)** on the left and the **Memory Array (12)** on the right.
- Command Bus (14):** A horizontal bus below the address bus, connected to the **Control Logic (7)** in the center.
- Data Bus (11):** A horizontal bus at the bottom, connected to the **Memory Array (12)** on the right and the **Data Input/Output Buffer (16)** on the left.
- Memory Array (12):** A large rectangular block on the right side of the diagram.
- Control Logic (7):** A central block containing:
 - Tag Buffer (8):** Connected to the address bus (13) and the data bus (11).
 - Data Buffer (9):** Connected to the data bus (11) and the memory array (12).
 - Write Buffer (10):** Connected to the address bus (13) and the data bus (11).
- Address Decoder (15):** A vertical block on the left, receiving an **Address Signal (13)** from the left and outputting signals to the memory array (12) and the control logic (7).
- Data Input/Output Buffer (16):** A vertical block on the left, receiving a **Data Signal (11)** from the left and outputting signals to the memory array (12) and the control logic (7).

The diagram is labeled **4a** at the bottom.

【図3】

